

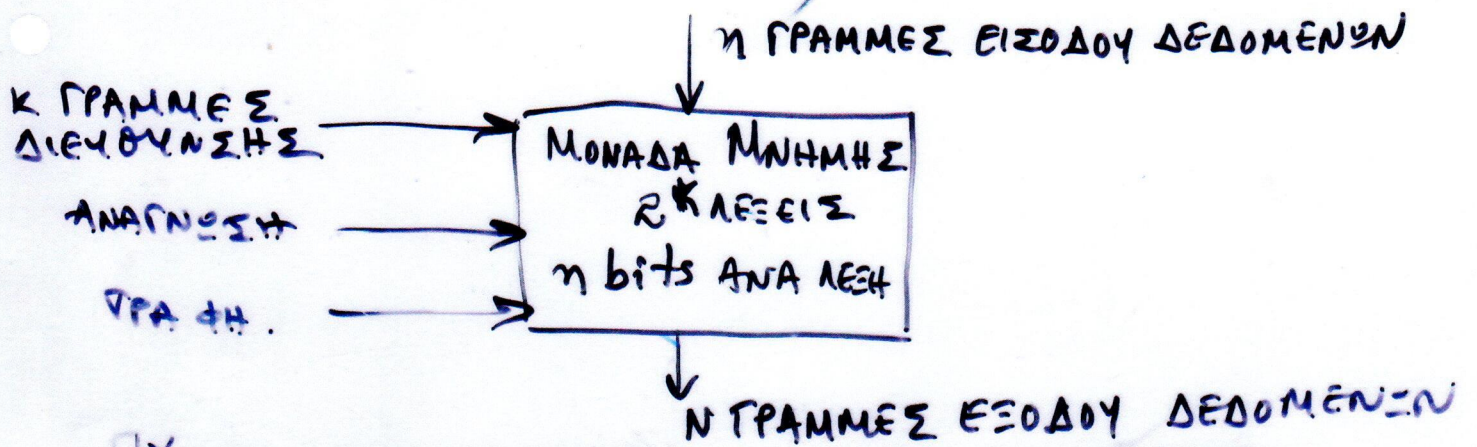
# Η ΜΝΗΜΗ ΤΥΧΑΙΑΣ ΠΡΟΣΠΕΛΑΣΗΣ

ΣΥΝΟΛΟ ΑΠΟ ΚΥΤΤΑΡΑ ΑΠΟΘΗΚΕΥΣΗΣ + ΑΠΑΡΑΙΤΗΤΑ ΚΥΚΛΟΜΑΤΑ ΜΕΤΑΦΟΡΑΣ ΠΛΗΡΟΦΟΡΙΩΝ ΜΕΣΑ Κ' ΕΞΕ ΑΠΟ ΤΗΝ ΣΥΣΤΗΜΗ.

ΜΕΤΑΦΟΡΑ ΠΛΗΡΟΦΟΡΙΑΣ ΑΠΟ-ΚΑΙ ΠΡΟΣ ΕΠΙΘΥΜΗΤΗ ΤΥΧΑΙΑ ΘΕΣΗ => "ΜΝΗΜΗ ΤΥΧΑΙΑΣ ΠΡΟΣΠΕΛΑΣΗΣ" "RANDOM ACCESS MEMORY".

ΛΕΞΕΙΣ (WORDS) BYTES BITS

ΣΥΝΗΘΕΣ 1 byte = 8 bits 1 word = 2 ή 4 bytes.



Πχ

<u>ΔΙΕΥΘΥΝΣΗ ΜΝΗΜΗΣ</u>	
<u>ΔΥΑΔΙΚΟ</u>	<u>ΔΕΚΑΔΙΚΟ</u>
0000000000	0
0000000001	1
0000000010	2
...	...
1111111111	1023 = $2^{10} - 1$

ΠΕΡΙΕΓΧΟΜΕΝΟ ΜΝΗΜΗΣ

01011100111010100  
 01111011100110111  
 ...  
 1100100000001011

← 16 bits word. →

10bit ΔΙΕΥΘΥΝΣΗ

$2^{10} = 2024$  διευθύνσεις

1. ΜΕΤΑΦΟΡΑ ΤΗΣ ΔΥΑΔΙΚΗΣ ΔΙΕΥΘΥΝΣΗΣ ΤΗΣ ΕΠΙΘΥΜΗΤΗΣ ΛΕΞΗΣ ΣΤΙΣ ΓΡΑΜΜΕΣ ΔΙΕΥΘΥΝΣΗΣ.

2. ΜΕΤΑΦΟΡΑ ΤΩΝ BITS ΔΕΔΟΜΕΝΩΝ ΤΑ ΟΠΟΙΑ ΘΕΛΟΥΜΕ ΝΑ ΑΠΟΘΗΚΕΥΣΟΥΝ ΣΤΗ ΜΝΗΜΗ ΣΤΙΣ ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ ΔΕΔΟΜΕΝΩΝ.

3. ΕΝΕΡΓΟΠΟΙΗΣΗ ΤΗΣ ΕΙΣΟΔΟΥ ΕΛΕΓΧΟΥ ΓΡΑΦΗΣ.

Η ΜΟΝΑΔΑ ΜΝΗΜΗΣ ΘΑ ΠΑΡΕΙ ΤΑ BITS ΑΠΟ ΤΙΣ ΓΡΑΜΜΕΣ ΕΙΣΟΔΟΥ ΔΕΔΟΜΕΝΩΝ ΚΑΙ ΘΑ ΤΑ ΑΠΟΘΗΚΕΥΣΕΙ ΣΤΗ ΛΕΞΗ ΠΟΥ ΚΑΘΟΡΙΖΟΥΝ ΟΙ ΓΡΑΜΜΕΣ ΔΙΕΥΘΥΝΣΗΣ.

1. ΜΕΤΑΦΟΡΑ ΤΗΣ ΔΥΑΔΙΚΗΣ ΔΙΕΥΘΥΝΣΗΣ ΤΗΣ ΕΠΙΘΥΜΗΤΗΣ ΛΕΞΗΣ ΠΡΟΣ ΑΝΑΓΝΩΣΗ ΣΤΙΣ ΓΡΑΜΜΕΣ ΔΙΕΥΘΥΝΣΗΣ.

2. ΕΝΕΡΓΟΠΟΙΗΣΗ ΤΗΣ ΕΙΣΟΔΟΥ ΕΛΕΓΧΟΥ ΑΝΑΓΝΩΣΗΣ.

Η ΜΝΗΜΗ ΘΑ ΠΑΡΕΙ ΤΑ BITS ΑΠΟ ΤΗΝ ΛΕΞΗ ΠΟΥ ΕΧΕΙ ΕΠΙΛΕΓΕΙ ΑΠΟ ΤΗΝ ΔΙΕΥΘΥΝΣΗ ΚΑΙ ΘΑ ΤΑ ΜΕΤΑΦΕΡΕΙ ΣΤΙΣ ΓΡΑΜΜΕΣ ΔΕΔΟΜΕΝΩΝ ΕΙΣΟΔΟΥ. ΤΟ ΠΕΡΙΕΧΟΜΕΝΟ ΤΗΣ ΕΠΙΛΕΓΜΕΝΗΣ ΛΕΞΗΣ ΔΕΝ ΑΛΛΑΖΕΙ ΜΕΤΑ ΤΗΝ ΑΝΑΓΝΩΣΗ.

ΕΠΙΤΡΕΦΗ ΜΝΗΜΗΣ : ΧΡΗΣΙΜΟΠΟΙΕΙΤΑΙ ΓΙΑ ΤΗΝ ΑΠΕΝΕΡΓΟΠΟΙΗΣΗ ΣΥΓΚΕΚΡΙΜΕΝΟΥ ΣΗΡ ΜΝΗΜΗΣ

ΕΠΙΤΡΕΦΗ ΜΝΗΜΗΣ	ΑΝΑΓΝΩΣΗ/ΓΡΑΦΗ	ΛΕΙΤΟΥΡΓΙΑ
0	X	ΚΑΜΙΑ
1	0	ΓΡΑΦΗΣ ΕΠΙΛΕΓΜΕΝΗΣ ΛΕΞΗΣ
1	1	ΑΝΑΓΝΩΣΗ ΑΠΟ ΕΠΙΛΕΓΜΕΝΗΣ ΛΕΞΗΣ.

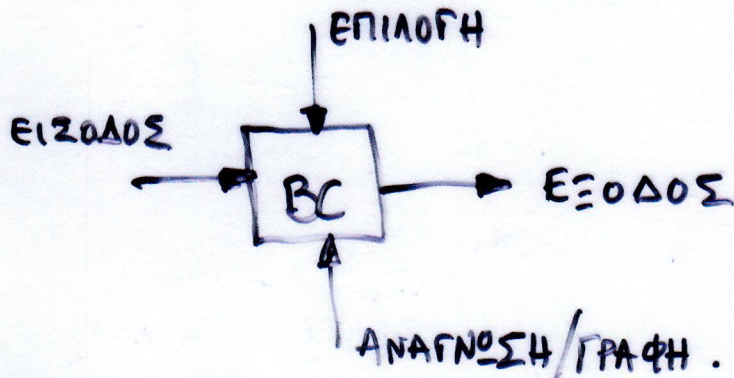
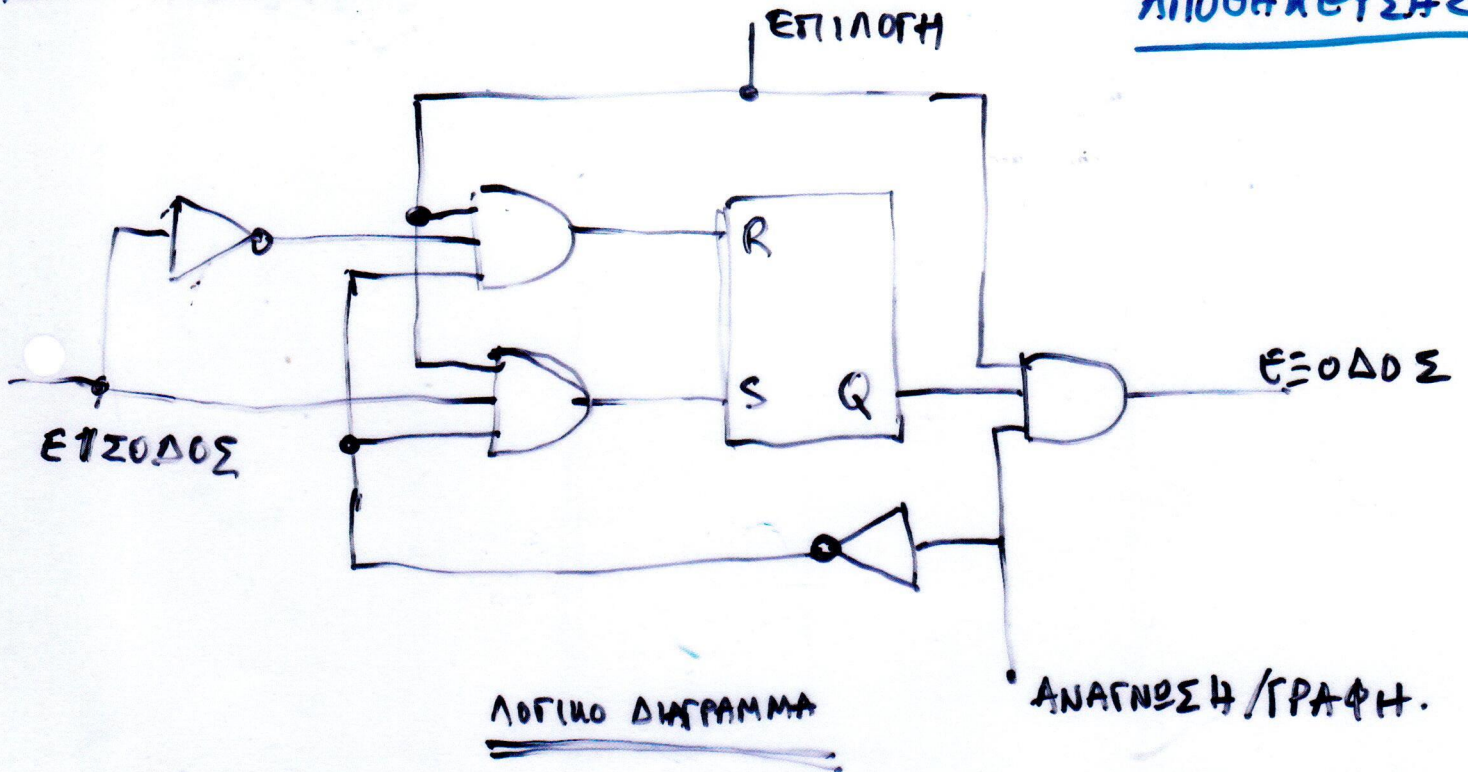
ΣΤΑΤΙΚΕΣ RAM (ΕΣΩΤΕΡΙΚΑ F-F ΓΙΑ ΤΗΝ ΑΠΟΘΗΚΕΥΣΗ ΤΗΣ ΔΥΑΔΙΚΗΣ ΠΛΗΡΟΦΟΡΙΑΣ) ΘΕΣΟ ΠΑΡΕΧΕΤΑΙ ΜΟΝΟ ΣΤΗ ΜΟΝΑΔΑ, Η ΠΛΗΡΟΦΟΡΙΑ ΠΑΡΑΜΕΝΕΙ ΑΜΑΛΙΣΤΗ

ΔΥΝΑΜΙΚΕΣ RAM → ΑΠΟΘΗΚΕΥΣΗ ΠΛΗΡΟΦΟΡΙΑΣ ΥΠΟ ΜΟΡΦΗ ΦΟΡΤΙΟΥ ΣΕ ΠΥΚΝΩΤΕΣ → ΕΛΑΤΤΩΝΕΤΑΙ ΜΕ ΤΟΝ ΧΡΟΝΟ → ΠΕΡΙΟΔΙΚΟ "ΦΡΕΣΥΑΡΙΣΜΑ" (ΕΠΑΝΑΤΕΙ ΤΟΝ ΠΥΚΝΩΤΗ).

ΣΤΑΤΙΚΕΣ + ΔΥΝΑΜΙΚΕΣ ΜΝΗΜΕΣ → VOLATILE < ΠΡΟΣΕΛΕΞΕΙ

ΜΗ ΠΡΟΣΘΕΤΕΣ ΜΝΗΜΕΣ → ΜΑΓΝΗΤΙΚΟΙ ΔΙΣΚΟΙ  
ROM.

ΑΠΟΚΟΔΗΚΟΠΟΙΗΣΗ ΜΝΗΜΗΣ - ΚΥΚΛΩΜΑ ΚΩΣΤΑΡΟΥ ΔΥΑΔΙΚΗΣ ΑΠΟΘΗΚΕΥΣΗΣ



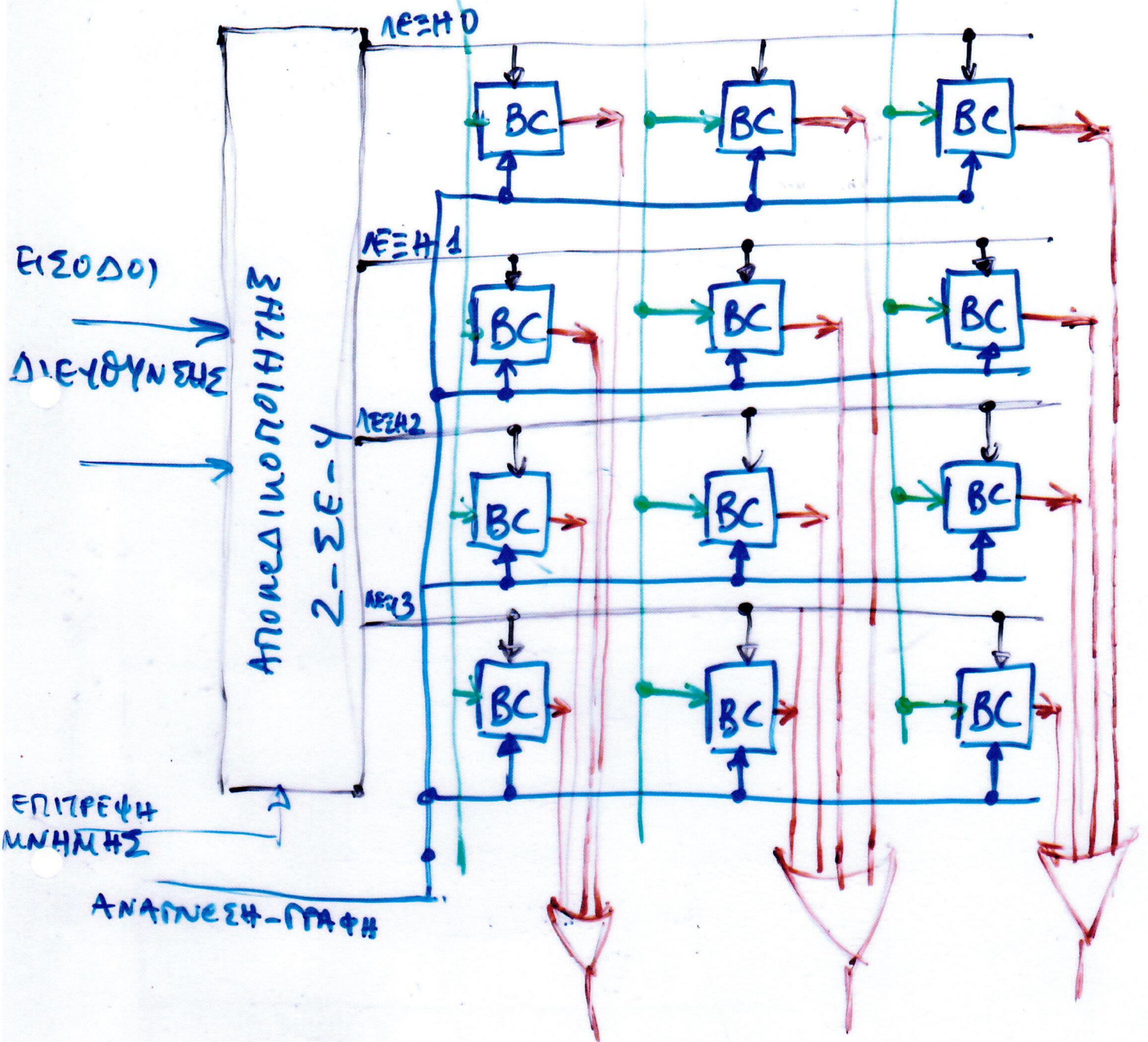
ΣΥΜΒΟΛΙΚΟ ΔΙΑΓΡΑΜΜΑ

SR	Q(t+1)
00	Q(t)
01	0
10	1
11	?

ΛΟΓΙΚΗ ΟΡΓΑΝΩΣΗ RAM 4x3

ΕΙΣΟΔΟΙ ΔΕΔΟΜΕΝΩΝ

(4)



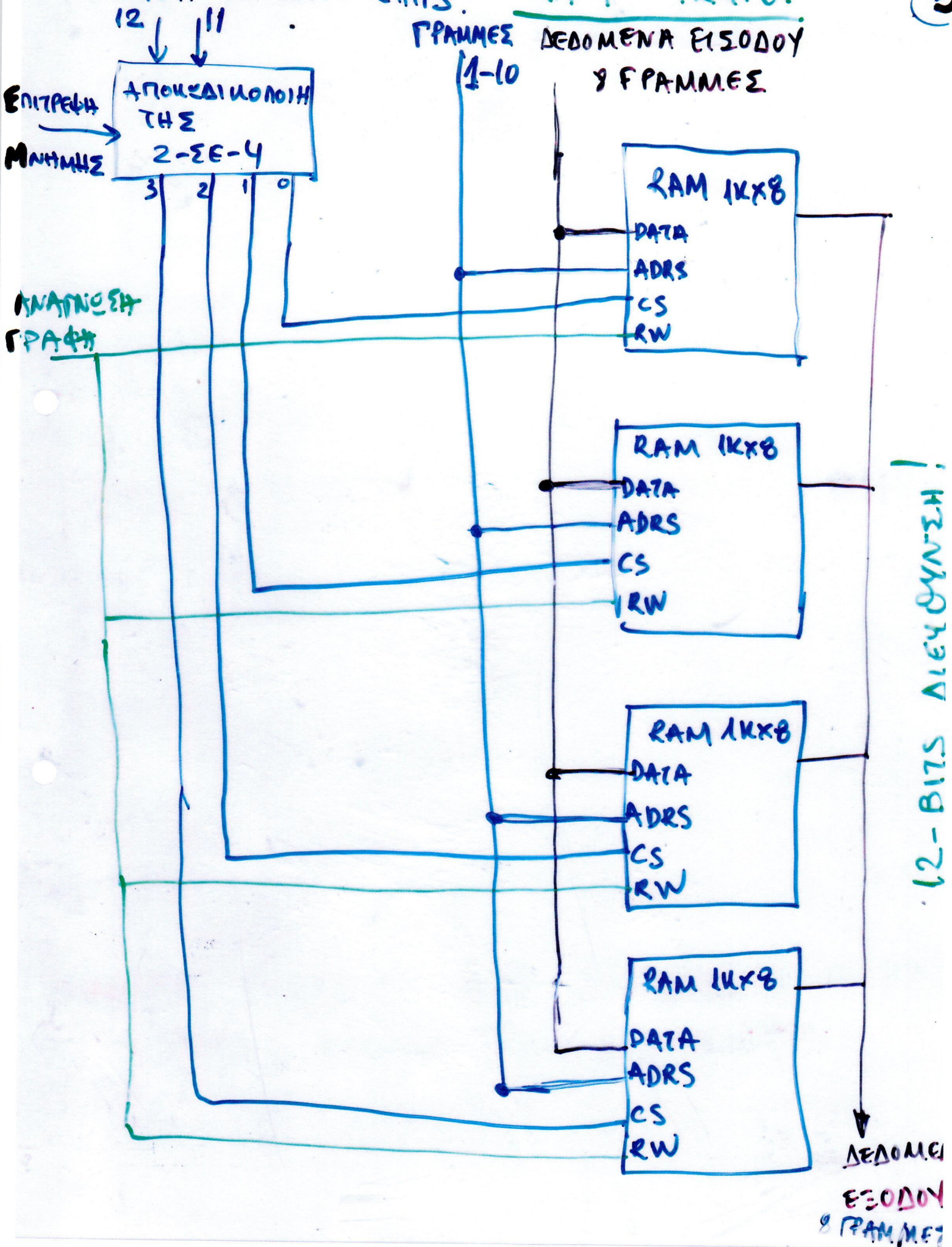
ΕΙΣΟΔΟΙ ΔΕΔΟΜΕΝΩΝ

RAMS → ΧΡΗΣΙΜΟΤΗΤΑ ΧΡΑΙΑ ΔΕΝ ΛΕΞΕΩΝ  
ΛΕΞΕΙΣ ΑΠΟ 1 - 64 BITS.

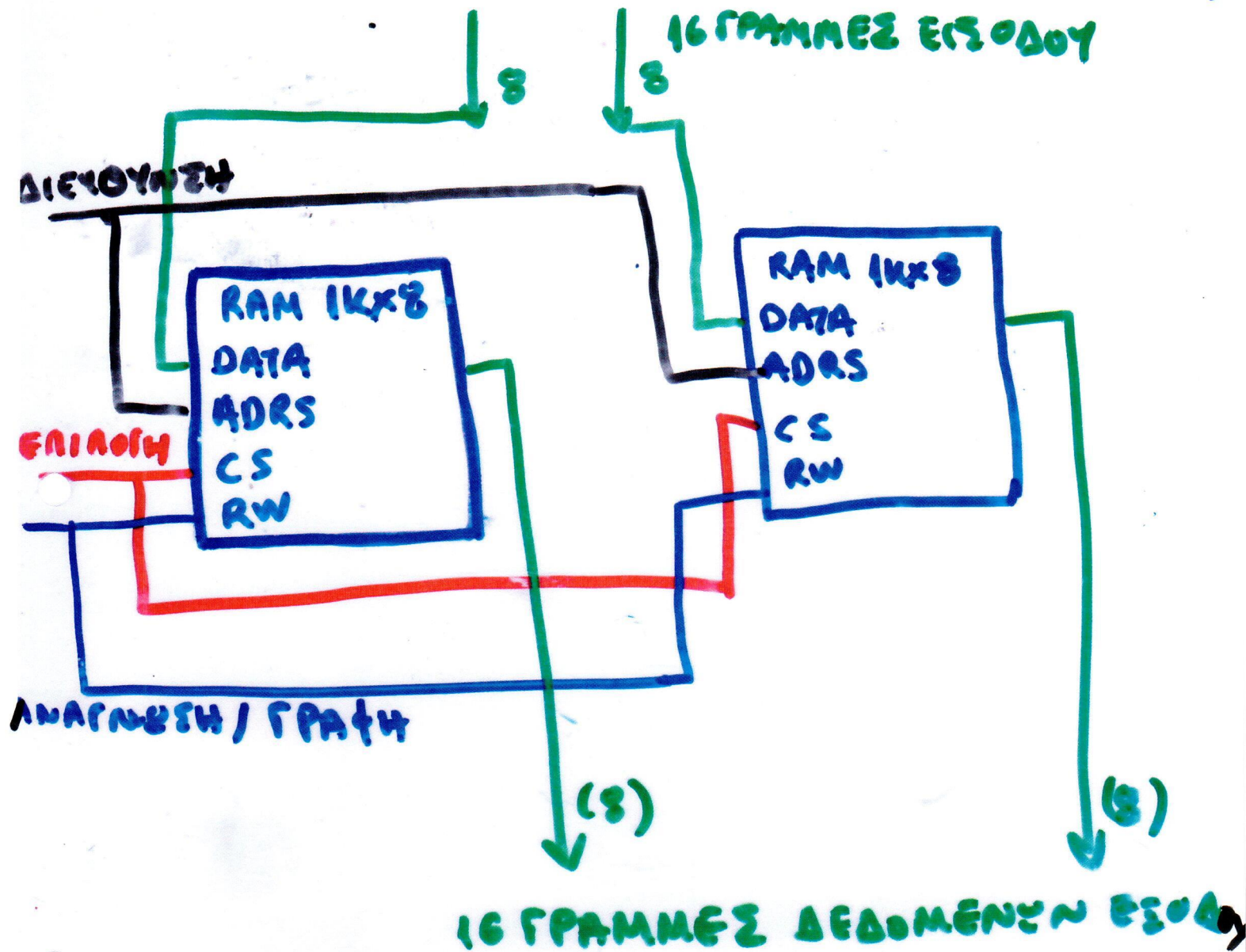
ΜΝΗΜΗ ΜΕ 2<sup>4</sup> ΛΕΞΕΙΣ ΤΩΝ n BITS ΧΡΕΙΑΖΕΤΑ Κ  
ΓΡΑΜΜΕΣ ΔΙΕΥΘΥΝΣΗΣ ΚΑΙ BCs ΚΣΕ 2<sup>4</sup> ΑΠΟΚΩΔΙΚ

# ΠΑΡΑΤΑΞΗ ΜΕ RAM CHIPS

# RAM 4Kx8.



# ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ RAM 1Kx16



Η ΣΥΝΘΕΤΗ ΜΝΗΜΗ ΕΧΕΙ ΑΡΙΘΜΟ BITS ΑΝΑ ΛΕΞΗ ΠΟΥ ΝΑ ΕΙΝΑΙ ΠΟΛΥΠΛΑΤΙΟΣ ΑΥΤΟΥ ΤΟΥ ΕΝΟΣ ΣΥΣΤ.

ΠΟΛΛΕΣ ΦΟΡΕΣ ΤΑ CHIPS ΕΧΟΥΝ ΤΟΥΣ ΙΔΙΟΥΣ ΑΚΡΟΔΕΚΤΕΣ ΕΙΣΟΔΟΥ / ΕΙΣΟΔΟΥ ΔΕΔΟΜΕΝΩΝ.

ΤΑ ΑΛΦΑ ΑΥΤΑ ΕΙΝΑΙ ΑΝΤΙΔΡΟΜΑ (BIDIRECTIONAL)